

基于 Sigma-Delta 调制技术的片内正弦激励生成方法

彭智聪, 陈 岚, 冯 燕, 柳臻朝

(中国科学院 微电子研究所, 北京 100029)

摘 要: 针对模拟混合信号 ADC 的内建自测试, 研究了基于 Sigma-Delta 调制技术的片内正弦激励生成方法, 着重对该方法软件部分的实现进行了阐述. 通过设计 Sigma-Delta 调制器, 并对输出的比特流特性进行分析, 提出了满足信噪比要求的最短比特流长度选择方法, 以及在该长度下的比特流序列优化方法. 以 12 位待测 ADC 为例, 采用该方法生成了最优比特流序列, 满足了信噪比的设计要求, 验证了方法的可行性.

关键词: 内建自测试; 正弦激励生成; 比特流; Sigma-Delta 调制; 相干采样

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2015)11-0137-05

Research of On-Chip Sine Stimulus Based on Sigma-Delta Modulation Techniques

PENG Zhi-cong, CHEN Lan, FENG Yan, LIU Zhen-chao

(Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: With reference to the built-in-self-test(BIST) of analog-mixed signal AD converters, on-chip sine stimulus based on sigma-delta modulated techniques was studied. The research was mainly focused on the software implementation. By designing Sigma-Delta modulator, and analyzing the attributes of output bitstreams, we provided a scheme for shortest bitstreams selection and their optimization. In this paper, a 12-bit ADC was chosen to be tested. The output bitstreams with the required signal-to-noise ratio(SNR) were generated, which verifies the feasibility of the method.

Key words: built-in-self-test; sine stimulus generation; bitstreams; sigma-delta modulation; coherent sampling

1 引言

模拟混合信号的内建自测试方法, 是在芯片内部实现测试信号的产生、测试响应的分析以及测试控制^[1]. 测试信号的产生是内建自测试中很关键的一个环节, 测试激励的精度将直接影响测试的有效性和可靠性.

片内信号生成的难点在于, 如何以较小的硬件开销获取较高的波形精度. 引入 sigma-delta 调制器的正弦激励生成方法, 解决了片内面积和波形精度之间的矛盾, 受到了国内外研究人员的青睐. 其中, Benoit Dufort 研究了该方法在复杂信号生成中的应用, 包括有多

频正弦信号、各种键控信号和带限信号^[2], 同时, Benoit Dufort 和 Gordon W. Roberts 还研究了比特流序列的选择, 提高了输出信号的信噪比^[3]. Feng Huang 等人利用带通 sigma-delta 产生了用于无线通信芯片的测试激励, 满足了其动态范围大的要求^[4]. 概括来说, 基于 sigma-delta 调制技术的波形生成方法分为软件和硬件两部分, 这些研究侧重于在其硬件实现和应用上, 但是对于该方法中的软件部分, 即 sigma-delta 调制和比特流的选择、优化方面, 并没有一套完整的方案. 本文重点针对该方法中如何得到高质量比特流进行了具体阐述.

收稿日期: 2015-01-16; 修回日期: 2015-03-05

基金项目: 02 专项课题(2014ZX02302002)

2 正弦激励生成原理

基于 sigma-delta 调制技术的片内激励生成包括软件实现和硬件实现两部分,如图 1 所示. 软件实现部分在上位机上完成,它的主要工作是通过建立合适的 sigma-delta 调制器模型以产生符合要求的比特流序列,对比特流序列进行筛选和优化,并下载到片内 RAM(或 LFSR)中. 硬件实现主要依托片内存储器件、1 位 DA 和低通滤波器,其中, RAM 将重复输出存储于其中的比特流序列,该序列经过 DA 转换,滤波得到有用信号. 可见,比特流序列的质量将直接影响输出波形的精度,是整个波形发生器的核心所在.

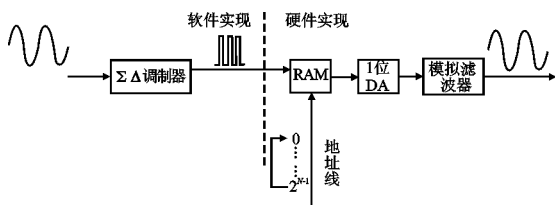


图 1 基于 sigma-delta 调制技术的片内激励生成原理图

2.1 Sigma-Delta 调制器

Sigma-Delta 调制器运用了过采样和噪声整形两种技术^[5],过采样率(OSR)的定义如式(1)所示.

$$OSR = \frac{f_s}{2f_B} \quad (1)$$

式中, f_s 表示采样频率, f_B 表示调制器带宽. 过采样率越大,信噪比越高. 但 OSR 的提高将受到系统频率的限制^[6]. 噪声整形技术是将信号频带内的噪声推到频带之外,从而改变了量化噪声在整个频谱内的分布. 调制器的阶数越高,噪声整形效果越好. 但是对于单比特量化器的高阶(阶数大于 2) Sigma-Delta 调制器而言,由于量化器本身固有的非线性,所以很难用线性反馈理论来保证高阶系统的稳定性^[7].

可见,在设计 sigma-delta 调制器时,需在过采样率和系统频率,阶数和稳定性之间寻找平衡.

2.2 相干采样与 FFT

本文的 Sigma-delta 调制器采用一位量化器,输出的比特流序列是无限不重复的 0、1 序列,该序列以脉冲密度的大小来反映输入波形的幅值. 对该序列进行 FFT 变换,如果时间信号的长度不是信号周期的整数倍,将引入频谱泄露^[8],导致信噪比降低. 解决频谱泄露的方法有两种:加窗和相干采样. 加窗

可以很好地抑制频谱泄露,但不能完全消除^[9]. 相干采样可以完全避免频谱泄露的影响,但对激励频率的精确性要求较高. 本文研究对象是软件产生的单频正弦激励,适合使用相干采样的方法.

相干采样要求采集信号长度为信号周期的整数倍,其计算公式如式(2)所示^[10].

$$f_t = \frac{M}{N}f_s, \quad M = 0, 1, 2, \dots, \frac{N}{2} \quad (2)$$

式中, f_t 是输出波形的频率, f_s 是采样频率, N 是采样点数, M 是 N 个采样点内的采样周期数,要求 M 和 N 互质,以防止引入周期性的噪声. 用 N 个采样点能重构的最小频率为 F_f ,称它为基频或频率分辨率,其表达式为

$$F_f = \frac{f_s}{N} \quad (3)$$

可见, N 越大,基频越小,能够产生的相干频率越多.

3 比特流的选择与优化

对于不同阶数和结构的 sigma-delta 调制器得到的比特流序列,采用带宽内的信噪比(SNR)作为其性能优劣的评价标准,SNR 的定义如式(4)所示.

$$SNR = \frac{P_s}{P_n} \quad (4)$$

式中, P_s 和 P_n 分别表示带宽内的信号功率和噪声功率.

存储于片内存储器件中的比特流有两个需要解决的关键问题:比特流的长度和比特流序列的起始位置. 从式(2)、式(3)可以看出, N 值决定了相干频率的取值范围,当 N 增加时,频率分辨率减小,可以产生的相干频率越多. 另一方面, N 值决定了信号的幅值分辨率. 离散信号的傅里叶变换公式如式(5)所示.

$$X[k] = \sum_{n=0}^{N-1} x[n] \cdot W_N^{kn} \quad (5)$$

式中, $W_N = e^{-j(2\pi/N)}$, $|X[k]|$ 表示对应第 k 个频率点上的幅值. N 值越大,幅值分辨率越高,得到的信号频谱越精确. 但与此同时, N 值的增加意味着存储器件容量的增加,进而增大了片内的面积消耗. 因此,需要选择满足信噪比要求的最短比特流序列.

比特流序列的选取工作对保证输出信号精度也有很大意义. 由于 sigma-delta 调制得到的比特流序

列是非周期不重复序列^[11],因而,对于 N 位比特流的选取而言,不同的比特流序列所引入的量化噪声也有差别。

3.1 比特流长度的选择

由于产生的正弦激励相干频率应在调制器带宽以内,根据式(2)得:

$$f_t = M \cdot \frac{f_s}{N} \leq f_B = \frac{f_s}{2OSR} \quad (6)$$

进一步有:

$$N \geq 2OSR \cdot M \geq 2OSR \quad (7)$$

这里得到了 N 的最小取值,为了方便进行 FFT 变换, N 值还必须是 2 的幂. 在这个取值的基础上, N 的选择遵循图 2 所示的步骤. 该方法将 N 的取值与 sigma-delta 的设计结合起来,以输出波形信噪比为评判标准,迭代计算得到满足信噪比要求的最小 N 值和 Sigma-Delta 调制器模型。

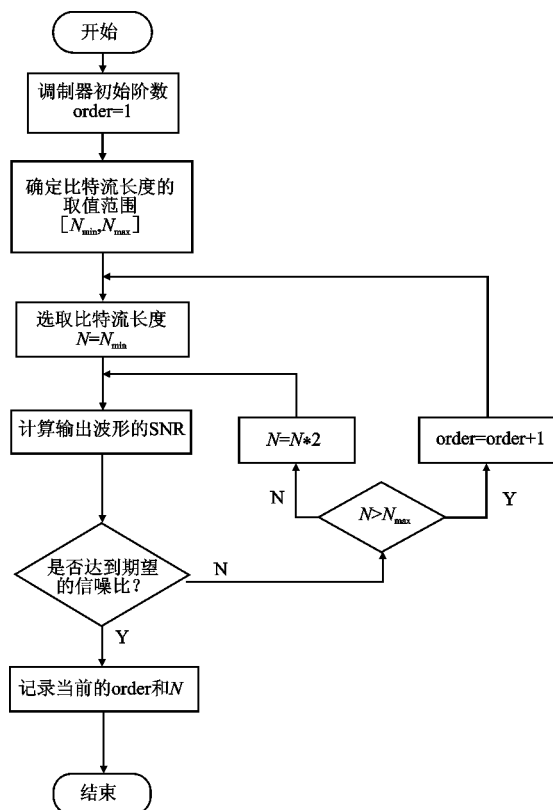


图2 比特流长度的选择流程图

3.2 比特流序列的优化

比特流序列的优化首先需要确定待优化区间,由于输出的比特流为非周期不重复序列,待优化区间长度不同,比特流序列的选择范围也有差别.对于长度为 N 的比特流序列,待优化区间可以是 $N, 2N, 3N \dots$. 理论上说,待优化区间越大,能选

择到高信噪比的比特流序列的概率也就越大,但同时消耗了更多的计算时间. 确定待优化区间 xN 之后,对序列的精优化采用遍历法^[3],即将序列的起始位置每次递增 1. 第一次选取为 $1 \sim N$,第二次为 $2 \sim N+1$,第三次为 $3 \sim N+2 \dots$,直到 $(x-1)N+1 \sim xN$.

4 仿真结果

本文针对 12 位待测 ADC 正弦激励信号的产生进行了研究. 由于所产生的激励信号精度应大于 12 位才能满足要求^[12],本文选取激励信号精度为 14 位,根据 SNR 的计算公式可得 SNR 的最小取值^[7]:

$$\text{SNR}_{\min} = 6.02b + 1.96 = 6.02 \times 14 + 1.76 (\text{dB}) = 86.04 (\text{dB}).$$

比特流长度计算所需参数如表 1 所示,其中比特流最大长度的选取依据为片内存储器的空间大小。

表1 正弦激励基本参数表

采样频率 f_s	过采样率 OSR	调制器带 宽 f_b	比特流最大 长度 $N_{\max}$	SNR 最小值
1.024 MHz	128	40 kHz	2^{16}	87 dB

若要求输入的信号频率分辨率为 $F_f = 1$ kHz,则:

$$N = \frac{f_s}{F_f} = 1024 \geq 2OSR = 256,$$

满足 N 的最小长度的要求. 又根据式(7)可得: $M \leq \frac{N}{2OSR} = 4$, 由于 M 需要与 N 互质,选取 $M=3$ 进行计算。

设计 Sigma-Delta 调制器使用了 Matlab simulink 中的 Sigma-Delta 工具箱. 通常而言, Sigma-Delta 调制器有四种拓扑结构,分别为带振荡器的前馈型(CRFF)、带振荡器的反馈型(CIFB)、带积分器的前馈型(CIFF)和带积分器的反馈型(CIFB). 因为 CIFB 结构具有增加调制器稳定性和动态范围的作用,所以本文中选取了该结构设计 Sigma-Delta 调制器^[13].

比特流长度的选取依据图 2 所示步骤,选取得到的比特流长度的功率谱密度如图 3 所示. 此时 $N=4096$,此时的频率分辨率为 0.25 kHz,调制器阶数为二阶,计算得到的信噪比为 90.26 dB,已满足输出信号信噪比的要求. 另选取了两组不满足要求

的情况进行了对比,如图 4 所示,图 4(a)表示在保持比特流长度不变的情况下,改变调制器阶数为一阶,带宽内的功率谱密度分布,此时信噪比仅为 53.87 dB;图 4(b)表示保持调制器阶数为二阶,缩短比特流长度到 $N=2048$,带宽内的功率谱密度,此时信噪比为 84.2 dB. 因此,用二阶 sigma-delta 调制器就能得到满足信噪比要求的比特流序列,最短序列长度为 $N=4096$.

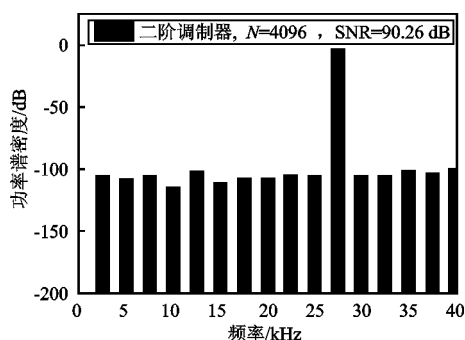
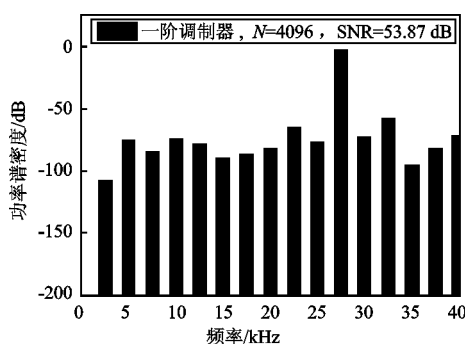
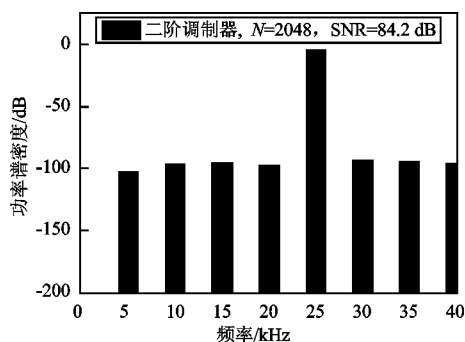


图 3 长度较优的比特流序列的功率谱密度分布



(a) 改变阶数



(b) 改变比特流长度

图 4 长度非优的比特流序列功率谱密度

比特流长度确定为 $N=4096$ 后,可进行比特流序列的优化. 粗优化确定比特流序列的待优化区间,待优化区间 xN 的取值范围设定为 $N \sim 6N$,对不同

的 xN 计算最高信噪比,得出图 5 所示结果. 本文中选取 $2N$ 作为比特流序列的待优化区间,满足了在小范围内选取高信噪比序列的要求.

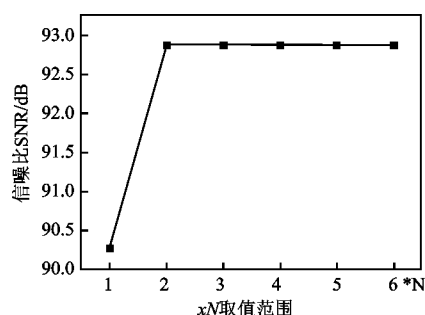
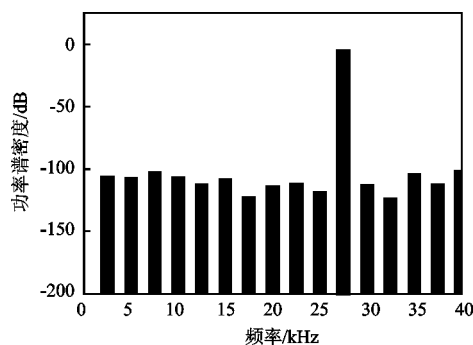
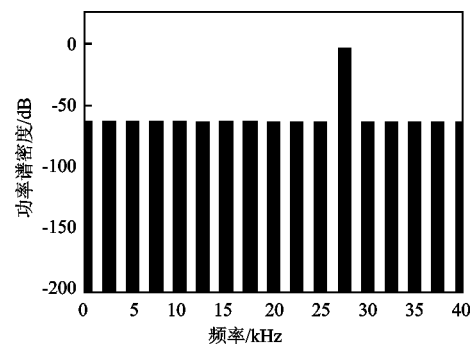


图 5 信噪比与比特流序列取值范围 xN 之间的关系

在待优化区间内采用精优化,改变比特流序列的起始点,并遍历计算输出信号的信噪比,得出不同序列之间信噪比差距可达 45 dB. 计算得到,当起始点位置 $i=755$ 时,SNR 有最大值,为 92.87 dB,此时得到的信噪比为给定比特流长度 $N=4096$ 时的最大取值. 图 6 所示为比特流优化序列与非优化序列的功率谱密度分布对比图,非优化序列的信噪比为 47.42 dB. 可见,优化后的比特流序列在带宽内量化噪声小,信噪比高.



(a) 优化序列



(b) 非优化序列

图 6 比特流优化序列与非优化序列的功率谱密度分布

5 结束语

本文研究了基于 sigma-delta 调制技术的片内正弦激励生成方法,提出了其中较为核心的最短比特流选择和优化方案.比特流的选择结合了 sigma-delta 调制器的设计,以输出信号的信噪比为评判指标,得到了满足设计条件的最短比特流长度.比特流的优化采用了粗优化和精优化两步,粗优化用于确定比特流的待优化区间,精优化采用遍历法对该区间内的比特流序列进行分析计算,得到了最优序列.最后以待测 12 位 ADC 为研究对象,产生了符合设计要求的比特流序列,进而可得到高精度的正弦激励,验证了方法的有效性和可靠性.该方法同样可用于 ADC 测试所需的非正弦激励的产生.

参考文献:

- [1] Toner M F. MADBIST: a scheme for built-in self-test of mixed analog-digital integrated circuits[D]. [s. l.] McGill University, 1996.
- [2] Dufort B, Roberts G W. On-chip analog signal generation for mixed-signal built-in self-test[J]. IEEE Journal of Solid-State Circuits, 1999, 34(3):318-330.
- [3] Dufort B, Roberts G W. Optimized periodic sigma-delta bitstreams for analog signal generation[C]// proceedings of the 40th Midwest Symposium on Circuits and Systems. Sacramento, CA; IEEE, 1997:289-292.
- [4] Huang F, Shen X, Zou X, et al. Analog signal generator for BIST of wideband IF signals bandpass sigma-delta modulator[J]. Microelectronics Journal, 2003, 34(1): 85-91.
- [5] Schreier R. Understanding delta-sigma data converters [M]. Wiley; IEEE Press, 2004.
- [6] Reiss J D. Understanding sigma-delta modulation: The solved and unsolved issues[J]. Journal of Audio Engineering and Society, 2008, 56(1):49-64.
- [7] Aziz P M. An Overview of Sigma-Delta Converters [J]. IEEE Signal Processing Magazine, 1996, 13(1): 61-84.
- [8] 崔庆林. 高速 AD 转换器测试采样技术研究[J]. 微电子学, 2006, 36(1):52-55.
- [9] 黄庆, 华云, 杨中海. 一种基于时-频域计算的 ADC 动态参数测试方法[J]. 微电子学, 2008, 38(6): 782-786.
- [10] Burns M, Roberts G W. An introduction to mixed-signal IC test and measurement[M]. New York: Oxford University Press, 2001.
- [11] Hawrysh E M, Roberts G W. An integration of memory-based analog signal generation into current DFT architectures[J]. IEEE Transactions on Instrumentation and Measurement, 1998, 47(3):748-759.
- [12] Ahmad S. Stimuli generation techniques for on-chip mixed-signal test[D]. Linkoping: Linkoping University, 2010.
- [13] Sangil Park. Principles of Sigma-Delta Modulation for Analog-to-Digital Converters[M]. [s. l.]: Motorola, 1993.

作者简介:

彭智聪 女, (1988-), 研究实习员. 研究方向为 IP 核共性技术研究. E-mail: pengzhicong@ime. ac. cn

陈 岚 女, (1968-), 研究员. 研究方向为纳米/SOC 芯片设计方法学及电子设计产业共性技术研究.

冯 燕 女, (1980-), 助理研究员. 研究方向为 IP 核共性技术研究.

柳臻朝 男, (1987-), 研究实习员. 研究方向为 IP 核共性技术研究.